

(19) Japan Patent Office (JP)

(12) **Japanese Unexamined Patent
Application Publication (A)**

(11) Japanese Unexamined Patent
Application Publication Number

**Japanese Unexamined Patent
Application Publication
2000-88921
(P2000-88921A)**

(43) Publication date March 31, 2000

(51) Int. Cl. ⁷	Identification codes	FI	Theme codes (reference)
G01R 31/28		G01R 31/28	G
H01L 27/04 21/822		H01L 27/04	Z

Request for examination Not yet examined Number of claims 12 OL (Total of 13 pages)

(21) Application number	Japanese Patent Application H10-254301	(71) Applicant	000002185 Sony Corporation 6-7-35 Kita-Shinagawa, Shinagawa-ku, Tōkyō-to
(22) Date of application	September 8, 1998	(72) Inventor	Kaoru HATTA % Sony Corporation 6-7-35 Kita-Shinagawa, Shinagawa-ku, Tōkyō-to
		(72) Inventor	Keisuke MATSUNAMI % Sony Corporation 6-7-35 Kita-Shinagawa, Shinagawa-ku, Tōkyō-to
		(72) Inventor	Hideyuki ITO % Sony Corporation 6-7-35 Kita-Shinagawa, Shinagawa-ku, Tōkyō-to
		(74) Agent	100094053 Patent attorney Takahisa SATO

(54) (TITLE OF THE INVENTION) Semiconductor device

(57) (ABSTRACT)

(PROBLEM) To achieve the multichip modularization (MCM) of a semiconductor device, to reduce the overall size of the device, and to ensure the compatibility of the semiconductor device with respect to the mounting substrate.

(MEANS FOR SOLVING) An integrated circuit package 12 is provided on one surface 11a of a single flexible substrate 11, and integrated circuit chips 13 are provided on the other surface 11b. This integrated circuit package 12 and integrated circuit chips 13 are electrically connected by a first conductor pattern 14a, a second conductor pattern 14b, and through-holes 11n. External connection terminals 15 are further provided on flexible substrate 11 such that they protrude from the other surface 11b. Flexible substrate 11 is then folded back approximately 180° so as to arrange integrated circuit package 12 and integrated circuit chips 13 in a stacked orientation, thereby forming semiconductor device 10 having width dimensions equivalent to those of integrated circuit package 12.

[see source for figures]

(SCOPE OF PATENT CLAIMS)

(CLAIM 1) A semiconductor device equipped with a single insulating substrate; a first semiconductor unit and a second semiconductor unit that are attached to said insulating substrate and are each equipped with integrated circuits; a conductive pathway that electrically connects said first semiconductor unit and said second semiconductor unit; and external connection terminals, corresponding to the terminals of said first semiconductor unit, that are provided on said insulating substrate and are used to connect the device to the outside, said semiconductor device characterized in that

said first semiconductor unit is arranged on one surface of said insulating substrate;

said second semiconductor unit is arranged on the other surface of said insulating substrate; and
said insulating substrate is folded back such that the portions on which said first semiconductor unit and said second semiconductor unit are arranged face one another.

(CLAIM 2) A semiconductor device according to Claim 1, characterized in that said external connection terminals are formed such that they protrude through through-holes formed on said insulating substrate from the other surface on the side opposite the surface where said first semiconductor unit is arranged.

(CLAIM 3) A semiconductor device according to Claim 2, characterized in that the protruding portions of said external connection terminals that protrude from the other surface on the side opposite the surface where said first semiconductor unit is arranged are formed in positions that are biased away from said through-holes.

(CLAIM 4) A semiconductor device according to Claim 1, characterized in that a fastening means for fastening said first semiconductor unit and said second semiconductor unit is arranged between the portions of the insulating substrate where the semiconductor units are arranged.

(CLAIM 5) A semiconductor device according to Claim 1, characterized in that said conductive pathway has a first conductor pattern that is formed on one surface of said insulating substrate, a second conductor pattern that is formed on the other surface of said insulating substrate, and through-holes that are formed on said insulating substrate and electrically connect said first conductor pattern and said second conductor pattern.

(CLAIM 6) A semiconductor device according to Claim 1, characterized in that said second semiconductor unit is an integrated circuit chip having boundary scan functionality.

(CLAIM 7) A semiconductor device equipped with a single insulating substrate; a first semiconductor unit and a second semiconductor unit that are attached to said insulating substrate and are each equipped with integrated circuits; a conductive pathway that electrically connects said first semiconductor unit and said second semiconductor unit; and external connection terminals, corresponding to the terminals of said first semiconductor unit, that are provided on said insulating substrate and are used to connect the device to the outside, said semiconductor device characterized in that

said first semiconductor unit and said second semiconductor unit are arranged on the same surface of said insulating substrate; and
said insulating substrate is folded back such that said first semiconductor unit and said second semiconductor unit face one another.

(CLAIM 8) A semiconductor device according to Claim 7, characterized in that said external connection terminals are formed such that they protrude through through-holes formed on said insulating substrate from the other surface on the side opposite the surface where said first semiconductor unit is arranged.

(CLAIM 9) A semiconductor device according to Claim 8, characterized in that the protruding portions of said external connection terminals that protrude from the other surface on the side opposite the surface where said first semiconductor unit is arranged are formed in positions that are biased away from said through-holes.

(CLAIM 10) A semiconductor device according to Claim 7, characterized in that a fastening means for fastening said first semiconductor unit and said second semiconductor unit is arranged between the semiconductor units.

(CLAIM 11) A semiconductor device according to Claim 7, characterized in that said conductive pathway has a semiconductor pattern formed on one surface of said insulating substrate.

(CLAIM 12) A semiconductor device according to Claim 7, characterized in that said second semiconductor unit is an integrated circuit chip having boundary scan functionality.

(DETAILED DESCRIPTION OF THE INVENTION)

(0001)

(TECHNICAL FIELD OF THE INVENTION) The present invention relates to a semiconductor device. Specifically, the present invention relates to a semiconductor device that achieves multichip modularization (MCM) by mounting multiple semiconductor units, such as integrated circuit packages in which integrated circuit chips such as LSIs are packaged and integrated circuit chips that are not packaged, such as bare chips (these are collectively called "semiconductor units" hereafter) on the same substrate.

(0002)

(PRIOR ART) Circuit testing (operation testing) of semiconductor units such as LSIs (IC devices) and circuit testing of substrates on which these semiconductor units are mounted must be conducted in the mounted state. On the other hand, because the evaluation of substrates using conventional in-circuit testing is physically difficult due to increases in substrate density and the trend toward high-density mounting in recent years, boundary scan testing based on a boundary scan scheme has been adopted as a method of performing circuit tests on substrates in the IEEE1149.1 standard. Moreover, the incorporation of circuits for performing boundary scan testing, i.e., boundary scan test circuits, into individual semiconductor units in advance has enabled the execution of these circuit tests even after the semiconductor units are mounted on the substrate.

(0003) Incidentally, when boundary scan circuits are incorporated into individual semiconductor units as described

above, the proportion of the area used for tests provided inside each semiconductor unit becomes relatively large in comparison to the area actually required from a functional standpoint, and this induces increases in the size of the semiconductor unit and makes it necessary to newly design the mounting substrate in order to accommodate the semiconductor units in which the aforementioned test circuits have been incorporated. Furthermore, there is also the problem that circuit tests cannot be performed in the mounted state when semiconductor units in which the aforementioned test circuits have not been incorporated are mounted at a high density.

(0004) Therefore, devices have been developed to allow the above circuit tests to be performed on semiconductor units that do not have these test circuits, as disclosed for example in Japanese Unexamined Patent Application Publication H7-12901 and Japanese Unexamined Patent Application Publication H8-271585.

(0005) The device disclosed in aforementioned Japanese Unexamined Patent Application Publication H7-12901 comprises an IC socket provided with a boundary scan cell between the IC lead receiving fittings into which the pins of a semiconductor unit (IC device) are inserted and the IC socket pins, and a TAP controller that is serially connected to this boundary scan cell by a closed circuit to perform boundary scans. To perform the aforementioned circuit tests, semiconductor units are mounted on a substrate through this IC socket in which a boundary scan test circuit has been incorporated.

(0006) Furthermore, the device disclosed in aforementioned Japanese Unexamined Patent Application Publication H8-271585 is a device in which, similarly to what was described above, a boundary scan test circuit comprising a boundary scan path circuit, an LSI circuit corresponding to the internal logic circuits of the boundary scan compatible IC device, and a signal switching circuit that switches the connection between this LSI circuit and the boundary scan pass circuit are incorporated into an IC socket into which the pins of semiconductor units (IC devices) can be inserted. To perform the aforementioned circuit tests, semiconductor units are mounted on a substrate through this IC socket.

(0007)

(PROBLEM TO BE SOLVED BY THE INVENTION) However, the devices disclosed in aforementioned Japanese Unexamined Patent Application Publication H7-12901 and Japanese Unexamined Patent Application Publication H8-271585 both use a socket system—in other words, an insert mounting system—and with this insert mounting system, the socket height is normally 1 mm or more, and the size in the height direction thus increases, so there was the problem that these devices were not well suited for high-density mounting. Moreover, in the devices disclosed in the aforementioned publications, the only circuits incorporated into the sockets are boundary scan test circuits, so there was the problem that the sockets could not be used for other applications—in other words, there was the problem that multichip modularization could not be achieved.

(0008) The present invention was conceived in light of the problems of the prior art described above, and its purpose is to provide a semiconductor device which makes it possible to achieve multichip modularization (MCM) by mounting

multiple semiconductor units such as LSIs and IC chips with various functions on a single insulating substrate, to reduce the overall size of the device, and to ensure compatibility with the mounting substrate, such that a multichip modularized semiconductor device containing a semiconductor unit such as an LSI can be mounted on mounting substrates on which the single semiconductor unit can be mounted.

(0009)

(MEANS FOR SOLVING THE PROBLEM) As a result of committed research intended to achieve the objectives described above, the present inventors discovered an invention with the following configuration. Namely, the semiconductor device of the present invention is equipped with a single insulating substrate; a first semiconductor unit and a second semiconductor unit that are attached to the insulating substrate and are each equipped with integrated circuits; a conductive pathway that electrically connects the first semiconductor unit and the second semiconductor unit; and external connection terminals, corresponding to the terminals of the first semiconductor unit, that are provided on the insulating substrate and are used to connect the device to the outside, wherein the first semiconductor unit is arranged on one surface of the insulating substrate, the second semiconductor unit is arranged on the other surface of the insulating substrate, and the insulating substrate is folded back such that the portions on which the first semiconductor unit and the second semiconductor unit are arranged face one another.

(0010) In the semiconductor device described above, it is possible to use a configuration in which the external connection terminals are formed such that they protrude through through-holes formed on the insulating substrate from the other surface on the side opposite the surface where the first semiconductor unit is arranged. In this semiconductor device, it is possible to use a configuration in which the protruding portions of said external connection terminals that protrude from the other surface on the side opposite the surface where said first semiconductor unit is arranged are formed in positions that are biased away from said through-holes.

(0011) In the semiconductor device described above, it is possible to use a configuration in which a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the portions of the insulating substrate where the semiconductor units are arranged. In this semiconductor device, it is possible to use a configuration for the conductive pathway described above having a first conductor pattern that is formed on one surface of the insulating substrate, a second conductor pattern that is formed on the other surface of the insulating substrate, and through-holes that are formed on the insulating substrate and electrically connect the first conductor pattern and the second conductor pattern. In this semiconductor device, it is possible to use an integrated circuit chip having boundary scan functionality as the second semiconductor unit.

(0012) Another form of the semiconductor device of the present invention is equipped with one insulating substrate; a first semiconductor unit and a second semiconductor unit that are attached to the insulating substrate and are each equipped with integrated circuits; a conductive pathway

that electrically connects the first semiconductor unit and the second semiconductor unit; and external connection terminals, corresponding to the terminals of the first semiconductor unit, that are provided on the insulating substrate and are used to connect the device to the outside, wherein the first semiconductor unit and the second semiconductor unit are arranged on the same surface of the insulating substrate, and the insulating substrate is folded back such that the first semiconductor unit and the second semiconductor unit face one another.

(0013) In the semiconductor device described above, it is possible to use a configuration in which the external connection terminals are formed such that they protrude through through-holes formed on the insulating substrate from the other surface on the side opposite the surface where the first semiconductor unit is arranged. In this semiconductor device, it is possible to use a configuration in which the protruding portions of the external connection terminals that protrude from the other surface on the side opposite the surface where the first semiconductor unit is arranged are formed at positions biased away from the through-holes.

(0014) In the semiconductor device described above, it is possible to use a configuration in which a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the semiconductor units. In this semiconductor device, it is possible to use a configuration for the conductive pathway having a semiconductor pattern formed on one surface of the insulating substrate. In this semiconductor device, it is possible to use an integrated circuit chip having boundary scan functionality as the second semiconductor unit.

(0015) In the semiconductor device of the present invention, a first semiconductor unit equipped with an integrated circuit is arranged on one surface of a single insulating substrate and a second semiconductor unit equipped with an integrated circuit is arranged on the other surface of this insulating substrate, and the insulating substrate is folded back such that the portions on which the first semiconductor unit and the second semiconductor unit are arranged face one another. Thus, the first semiconductor unit and the second semiconductor unit are not arranged in the same plane, but are rather arranged in stacked fashion. Moreover, the first semiconductor unit and the second semiconductor unit are electrically connected by a conductive pathway, and external connection terminals used for connecting the device to the outside, corresponding to the terminals of the first semiconductor unit, are provided on the insulating substrate, so that the first semiconductor unit and the second semiconductor unit can be operated by connecting these external connection terminals to an external mounting substrate or the like.

(0016) In the semiconductor device described above, when the external connection terminals are formed such that they protrude through through-holes formed on the insulating substrate from the other surface on the side opposite the surface where the first semiconductor unit is arranged, or when they (the protruding portions) are formed such that they protrude from the other surface on the opposite side at positions that are biased away from the through-holes, the device can be surface-mounted on an external mounting substrate or the like via these protruding portions within a

space defined by the first semiconductor unit.

(0017) In the semiconductor device described above, when a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the portions of the insulating substrate where the semiconductor units are arranged, this fastening means works to prevent or constrain the relative movement of the two units, improving the overall rigidity.

(0018) In the semiconductor device described above, when a configuration for the conductive pathway having a first conductor pattern that is formed on one surface of the insulating substrate, a second conductor pattern that is formed on the other surface of the insulating substrate, and through-holes that are formed on the insulating substrate and electrically connect the first conductor pattern and the second conductor pattern is used, an electrical connection between the first semiconductor unit and the second semiconductor unit is established through these first and second conductor patterns and the through-holes.

(0019) In the semiconductor device described above, when an integrated circuit chip having boundary scan functionality is used as the second semiconductor unit, operation tests on the first semiconductor unit or the substrate in the surface-mounted state can be performed via this second semiconductor unit.

(0020) In the semiconductor device described above, a first semiconductor unit and a second semiconductor unit that are each equipped with integrated circuits are arranged on the same surface of a single insulating substrate, and the insulating substrate is folded back such that the first semiconductor unit and the second semiconductor unit face one another, so that the first semiconductor unit and the second semiconductor unit are not arranged in the same plane, but are rather arranged in a stacked fashion opposite one another. Moreover, the first semiconductor unit and the second semiconductor unit are electrically connected by a conductive pathway, and external connection terminals used for connecting the device to the outside, corresponding to the terminals of the first semiconductor unit, are provided on the insulating substrate, so that the first semiconductor unit and the second semiconductor unit can be operated by connecting these external connection terminals to an external mounting substrate or the like.

(0021) In this semiconductor device, as described above, when the external connection terminals are formed such that they protrude from the other surface on the side opposite the surface where the first semiconductor unit is arranged through through-holes formed in the insulating substrate, or when they (the protruding portions) are formed such that they protrude from the other surface on the opposite side at positions that are biased away from the through-holes, the device can be surface-mounted on an external substrate or the like via these protruding portions within a space defined by the first semiconductor unit.

(0022) In the semiconductor device described above, when a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the first semiconductor unit and the second semiconductor unit, this fastening means is used to prevent or constrain relative movement between the two units, improving the overall rigidity.

(0023) In this semiconductor device, as described above, when a configuration for the conductive pathway having a conductive pattern that is formed on one surface of the insulating substrate is used, an electrical connection between the first semiconductor unit and the second semiconductor unit is provided through this conductor pattern.

(0024) In this semiconductor device, as described above, when an integrated circuit chip having boundary scan functionality is used as the second semiconductor unit, operation tests on the first semiconductor unit or the substrate in the surface-mounted state can be performed via this second semiconductor unit.

(0025)

(EMBODIMENTS OF THE INVENTION) Embodiments of the semiconductor device of the present invention will be described hereafter based on the attached drawings. Figures 1 (a) and (b) show an external perspective and a longitudinal sectional view of a first embodiment of the semiconductor device of the present invention. As shown in Figure 1 (a), this semiconductor device 10 has a basic structure comprising flexible substrate 11 as the single insulating substrate; a BGA (ball grid array) type integrated circuit package 12, for example, as a first semiconductor unit equipped with an integrated circuit arranged on one surface 11a of this flexible substrate 11; two integrated circuit chips 13 that are bare chips, for example, as a second semiconductor unit equipped with integrated circuits arranged on the other surface 11b of flexible substrate 11; copper conductor pattern 14 as a conductive pathway that electrically connects this integrated circuit package 12 and integrated circuit chips 13; and solder balls 15, corresponding to solder balls 12a, which are the terminals of integrated circuit package 12, as the external connection terminals that are formed such that they protrude from the other surface 11b of flexible substrate 11 and are used to connect the device to the outside—in other words, to a mounting substrate.

(0026) This flexible substrate 11 is then folded back approximately 180° such that integrated circuit package 12 that is arranged on one surface 11a and portion 11c of flexible substrate 11 in the area in which integrated circuit chips 13 are arranged on the other surface 11b face one another. In other words, portion 11c of the flexible substrate in the area in which integrated circuit chips 13 are arranged is positioned on top of integrated circuit package 12, so that this integrated circuit package 12 and these integrated circuit chips 13 are arranged in a vertically stacked manner.

(0027) As described above, flexible substrate 11 is folded back, and integrated circuit package 12 and integrated circuit chips 13 are lined up the longitudinal direction (vertical direction) rather than in the lateral direction (horizontal direction), so that the external dimensions of semiconductor device 10 in the lateral direction can be made equivalent to those of integrated circuit package 12. Moreover, when the thickness of flexible substrate 11 used is approximately

0.04 mm and the thickness of integrated circuit chips 13 is approximately 0.1 mm, increases in the overall height of semiconductor device 10 in comparison to the height of integrated circuit package 12 can be held down to approximately 0.3 to 0.5 mm. It is therefore possible to achieve multichip modularization along with the reduction of the overall size of the device. Furthermore, because solder balls 15 are provided corresponding to terminals 12a of integrated circuit package 12, this semiconductor device 10 can be mounted on a mounting substrate on which integrated circuit package 12 itself is mounted (not shown in the drawings). It is therefore possible to ensure compatibility with the mounting substrate between integrated circuit package 12 and semiconductor device 10 containing this integrated circuit package 12.

(0028) Here, as shown in Figure 1 (b), the aforementioned conductor pattern 14 comprises first conductor pattern 14a, which is provided on one surface 11a of flexible substrate 11 such that it extends to the area in which integrated circuit package 12 is arranged and to the other end from this area, and second conductor pattern 14b, which is provided in the area in which integrated circuit chips 13 are arranged on the other surface 11b of flexible substrate 11. Solder balls 12a of integrated circuit package 12 are electrically connected to this first conductor pattern 14a using reflow soldering, while integrated circuit chips 13 are connected to second conductor pattern 14b through bumps 13a using the flip-chip method. Incidentally, various connection methods such as methods based on wave soldering can be used instead of reflow soldering for the connection of integrated circuit package 12, and various connection methods such as methods based on wire bonding can be used instead of the flip-chip method for the connections of integrated circuit chips 13.

(0029) On flexible substrate 11, multiple through-holes 11m are formed in portions corresponding to solder balls 12a, which are the terminals of integrated circuit package 12, and multiple through-holes 11n are formed in portions corresponding to the edge area in which integrated circuit chips 13 are arranged. Electrically conductive pathways are formed in these through-holes 11m and 11n using plating or solder post. First conductor pattern 14a that is provided on the other surface 11a of flexible substrate 11 and solder balls 15 that protrude from the other surface 11b of flexible substrate 11 are electrically connected through these through-holes 11m, and first conductor pattern 14a that is provided on one side 11a of flexible substrate 11 and second conductor pattern 14b that is provided on the other side 11b of flexible substrate 11 are electrically connected through these through-holes 11n. A conductive pathway that electrically connects integrated circuit package 12, which is the first semiconductor unit, and integrated circuit chips 13, which are the second semiconductor unit, is formed by this first conductor pattern 14a, second conductor pattern 14b, and through-holes 11n.

(0030) In this embodiment, first conductor pattern 14a and second conductor pattern 14b were electrically connected by providing through-holes 11n, but it is also possible to extend second conductor pattern 14b to the area of through-holes 11m and electrically connect first conductor pattern 14a and second conductor pattern 14b through these through-holes 11m without providing through-holes 11n, which also allows the integrated circuit package 12 and integrated circuit chips 13 to be electrically connected. In this case, a conductive pathway that electrically connects integrated circuit package 12, which is the first semiconductor unit, and integrated circuit chips 13, which are the second semiconductor unit, is formed by this first conductor pattern 14a, second conductor pattern 14b, and through-holes 11m.

(0031) Thermosetting adhesive 16 is applied as a fastening means in the gaps of the area in which the top surface of integrated circuit package 12 and portion 11c of flexible substrate 11 in the area in which integrated circuit chips 13 are arranged face one another when the aforementioned flexible substrate 11 is folded back approximately 180°, and this thermosetting adhesive 16 is used to prevent or constrain the relative movement of the two units—in other words, between integrated circuit package 12 and integrated circuit chips 13 and the folded portion 11c of flexible substrate 11. Double-sided tape, for example, can also be used as the aforementioned fastening means instead of thermosetting adhesive 16.

(0032) Moreover, the integrated circuit chips 13 that are used as the second semiconductor module can be equipped with boundary scan functionality—in other words, boundary test circuits—in order to perform operation tests based on the boundary method. In this case, integrated circuit package 12, which does not have boundary scan functionality, and integrated circuit chips 13, which have boundary scan functionality, are electrically connected, thereby forming a semiconductor device 10 having boundary scan functionality as a whole. In this way, by equipping integrated circuit chips 13 with boundary scan functionality, it is possible to perform operation tests in the state in which semiconductor device 10 is mounted on a mounting substrate.

(0033) Here, a test circuit based on the boundary scan system prescribed by IEEE-1149.1 can be installed to provide this boundary scan functionality. This test circuit comprises a boundary scan cell, a test access port controller, and ports for test data input, a test clock, test mode select, and test data output.

(0034) In the embodiment described above, a BGA (ball grid array) type integrated circuit package 12 was used as the first semiconductor unit, but, as shown in Figure 2, it would also be acceptable to use a QFP (quad flat package) type integrated circuit package 17 and to similarly connect lead frames 17a, which are the terminals of this package, to first conductor pattern 14a. Moreover, in this embodiment, two integrated circuit chips 13 were arranged in the lateral direction as the second semiconductor unit provided on the

other surface 11b of flexible substrate 11.

(0035) In this embodiment as well, as described above, flexible substrate 11 is folded back and integrated circuit package 17 and integrated circuit chips 13 are lined up not laterally (horizontally) but rather in a longitudinally (vertically) stacked manner, so the external dimensions of semiconductor device 10 can be made equivalent to those of integrated circuit package 17. In particular, as shown in Figure 2, multiple integrated circuit chips 13 are arranged in the direction in which flexible substrate 11 is folded back, so this device is effective from the perspective of reducing the width in comparison to a device in which integrated circuit package 17 and two integrated circuit chips 13 are simply arranged in the lateral direction. As a result, it is possible to achieve multichip modularization along with the reduction of the overall size of the device.

(0036) Next, the manufacturing method for semiconductor device 10 of the first embodiment described above will be explained. First, as shown in Figure 3 (a), insulating flexible substrate 11 is prepared, and multiple through-holes 11m are formed in the area in which integrated circuit package 12 is to be arranged such that they correspond to solder balls 12a, which are the terminals [of package 12], while multiple through-holes 11n are formed in the area in which integrated circuit chips 13 are to be arranged such that they correspond to the terminals of said chips, i.e. bumps 13a. First conductor pattern 14a is provided on one surface 11a of flexible substrate 11, and second conductor pattern 14b is provided on the other surface 11b of flexible substrate 11. A conductive pathway is further formed in the regions of through-holes 11m and 11n by plating, for example, thus establishing electrical connections between first conductor pattern 14a and second conductor pattern 14b.

(0037) Continuing, as shown in Figure 3 (b), integrated circuit chips 13, which are used as the second semiconductor unit, are connected to second conductor pattern 14b provided on the other surface 11b of flexible substrate 11 through bumps 13a using the flip-chip method, for example, and bumps 13a are resin-sealed with sealing resin 13b such that they are embedded.

(0038) As shown in Figure 3 (c), BGA type integrated circuit package 12, which is used here as the first semiconductor unit, is then connected to first conductor pattern 14a provided on one surface 11a of flexible substrate 11 through solder balls 12a using reflow soldering, for example.

(0039) Next, as shown in Figure 3 (d), thermosetting adhesive 16, for example, is applied to a portion of the top surface of integrated circuit package 12, which is attached to one surface 11a of flexible substrate 11. Here, the area in which this thermosetting adhesive 16 is applied is not limited to the top surface of integrated circuit package 12, and it would be acceptable for the adhesive to be applied to the side surface of integrated circuit package 12 that will come

to face flexible substrate 11 in the subsequent bending process or to other desired locations.

(0040) Continuing, as shown in Figure 3 (e), portion 11c of flexible substrate 11, on which integrated circuit chips 13 have been arranged, is folded back approximately 180° using a bending device (not shown in the figure) such that it is positioned above the integrated circuit package 12, and surface 11a of this folded portion 11c is adhered and fixed and to the thermosetting adhesive 16 that was applied in the previous step.

(0041) Finally, as shown in Figure 3 (f), multiple solder balls 15, which are used as the external connection terminals that protrude from the other surface 11b of flexible substrate 11, are formed at the positions of through-holes 11m that have been formed, corresponding to solder balls 12a, which are the terminals of integrated circuit package 12, as shown enlarged in Figure 4 (a). The process in which these solder balls 15 are formed may occur before or after the process in which integrated circuit chips 13 are connected.

(0042) The external connection terminals formed in the final process described above are not limited to solder balls 15, and may also be lead frames. Moreover, as long as these external connection terminals are formed at positions corresponding to solder balls 12a, which are the terminals of integrated circuit package 12, through-holes 11m may be also formed at positions biased away from these solder balls 12a and the external connection terminals.

(0043) According to the first embodiment described above, flexible substrate 11 is folded back, and integrated circuit package 12 or 17 and integrated circuit chips 13 are lined up in the longitudinal direction (vertical direction) rather than in the lateral direction (horizontal direction), so the external dimensions of semiconductor device 10 in the lateral direction can be made equivalent to those of integrated circuit package 12 or 17. Moreover, when the thickness of the flexible substrate 11 used is approximately 0.04 mm and the thickness of integrated circuit chips 13 is approximately 0.1 mm, increases in the overall height of semiconductor device 10 can be constrained to approximately 0.3 to 0.5 mm as compared to the height of integrated circuit package 12 or 17, so it is possible to achieve multichip modularization along with the reduction of the overall size of the device. Furthermore, because solder balls 15 are provided corresponding to terminals 12a or 17a of integrated circuit package 12 or 17, this semiconductor device 10 can be mounted on a mounting substrate on which integrated circuit package 12 or 17 itself is mounted (not shown in the drawings). It is therefore possible to ensure compatibility with the mounting substrate between integrated circuit package 12 or 17 and semiconductor device 10 containing this integrated circuit package 12 or 17.

(0044) Figures 4 (b) and (c) and Figures 5 (a), (b), and (c) show other modes of connection for the external connection terminals described above. In the mode of connection

shown in Figure 4 (b), a QFP type integrated circuit package 17 is used as the first semiconductor unit, and lead frame 17a of this integrated circuit package 17 is connected to first conductor pattern 14a. An electrically conductive through-hole 11m is formed directly below the end of the connection of this lead frame 17a using plating, for example, and solder ball 15 is formed as the external connection terminal directly below this through-hole 11m.

(0045) In the mode of connection shown in Figure 4 (c), a BGA type integrated circuit package 12 is used as the first semiconductor unit, and solder ball 12a of this integrated circuit package 12 is connected to first conductor pattern 14a. An electrically conductive through-hole 11m is formed at a position biased away from this solder ball 12a using plating, for example, and a third conductor pattern 14c is provided on the other surface 11b of flexible substrate 11. First conductor pattern 14a and third conductor pattern 14c are electrically connected through this through-hole 11m, and solder ball 15 is formed on this third conductor pattern 14c as the external connection terminal at a position corresponding to the bottom of solder ball 12a.

(0046) In the mode of connection shown in Figure 5 (a), a QFP type integrated circuit package 17 is used as the first semiconductor unit, and lead frame 17a of this integrated circuit package 17 is connected to first conductor pattern 14a. An electrically conductive through-hole 11m is formed at a position biased away from the end of the connection of this lead frame 17a using plating, for example, and third conductor pattern 14c is provided on the other surface 11b of flexible substrate 11. First conductor pattern 14a and third conductor pattern 14c are electrically connected through this through-hole 11m, and solder ball 15 is formed on this third conductor pattern 14c as the external connection terminal at a position corresponding to the bottom of the connection part of lead frame 17a.

(0047) In the mode of connection shown in Figure 5 (b), a BGA type integrated circuit package 12 is used as the first semiconductor unit, and solder ball 12a of this integrated circuit package 12 is connected to first conductor pattern 14a. An electrically conductive through-hole 11m is formed at a position biased away from this solder ball 12a using plating, for example, and third conductor pattern 14c is provided on the other surface 11b of flexible substrate 11. First conductor pattern 14a and third conductor pattern 14c are electrically connected through this through-hole 11m. Lead frame 18 is connected to this third conductor pattern 14c as the external connection terminal, and is formed such that the end of the connection of this lead frame 18 is located at a position corresponding to the bottom of solder ball 12a.

(0048) In the mode of connection shown in Figure 5 (c), a QFP type integrated circuit package 17 is used as the first semiconductor unit, and lead frame 17a of this integrated circuit package 17 is connected to first conductor pattern 14a. An electrically conductive through-hole 11m is formed

at a position biased away from the end of the connection of this lead frame 17a using plating, for example, and third conductor pattern 14c is provided on the other surface 11b of flexible substrate 11. First conductor pattern 14a and third conductor pattern 14c are electrically connected through this through-hole 11m. Lead frame 18 is connected to this third conductor pattern 14c as the external connection terminal, and is formed such that the end of the connection of this lead frame 18 is located at a position corresponding to the bottom of the end of the connection of lead frame 17a.

(0049) As described above, it is possible to reliably mount the semiconductor device of the present invention in accordance with the mounting substrate by appropriately using various modes of connection for the external connection terminals.

(0050) Figure 6 is a longitudinal sectional view of a second embodiment of the semiconductor device of the present invention. As shown in Figure 6, this semiconductor device 20 has a basic structure comprising flexible substrate 21 as the single insulating substrate; a BGA (ball grid array) type integrated circuit package 22, for example, as a first semiconductor unit equipped with an integrated circuit arranged on one surface 21a of this flexible substrate 21; two integrated circuit chips 23 that are bare chips, for example, as the second semiconductor unit equipped with integrated circuits similarly arranged on one surface 21a of flexible substrate 21; copper conductor pattern 24 as a conductive pathway that electrically connects this integrated circuit package 22 and integrated circuit chips 23; and solder balls 25 as external connection terminals that are provided such that they protrude from the other surface 21b of flexible substrate 21, in correspondence to solder balls 22a, which are the terminals of integrated circuit package 22, and are used to connect the device to the outside, i.e. to a mounting substrate.

(0051) This flexible substrate 21 is folded back approximately 180° such that integrated circuit package 22 and integrated circuit chips 23, both of which are arranged on one surface 21a [of flexible substrate 21], face one another. In other words, the edges of integrated circuit chips 23 are positioned on top of integrated circuit package 22, and this integrated circuit package 22 and these integrated circuit chips 23 are arranged in a vertically stacked manner.

(0052) As described above, flexible substrate 21 is folded back, and integrated circuit package 22 and integrated circuit chips 23 are lined up in the longitudinal direction (vertical direction) rather than in the lateral direction (horizontal direction), so the external dimensions of semiconductor device 20 in the lateral direction can be made equivalent to those of integrated circuit package 22. Moreover, if the thickness of the flexible substrate 21 used is approximately 0.04 mm and the thickness of integrated circuit chips 23 is approximately 0.1 mm, increases in the overall height of semiconductor device 20 in comparison to the height of integrated circuit package 22 can be constrained to ap-

proximately 0.3 to 0.5 mm. It is therefore possible to achieve multichip modularization along with the reduction of the overall size of the device. Furthermore, because solder balls 25 are provided corresponding to terminals 22a of integrated circuit package 22, this semiconductor device 20 can be mounted on a mounting substrate on which integrated circuit package 22 itself is mounted (not shown in the drawings). It is therefore possible to ensure compatibility with the mounting substrate between integrated circuit package 22 and semiconductor 20 containing this integrated circuit package 22.

(0053) Here, as shown in Figure 6, the aforementioned conductor pattern 24 is provided such that it extends to the area in which integrated circuit package 22 is arranged and to the area in which integrated circuit chips 23 are arranged on the other end from this area on one surface 21a of flexible substrate 21. Solder balls 22a of integrated circuit package 22 are electrically connected to this conductor pattern 24 using reflow soldering, while integrated circuit chips 23 are connected through bumps 23a using the flip-chip method. Said semiconductor pattern 24 forms an electrical path that electrically connects integrated circuit package 22, which is the first semiconductor unit, and integrated circuit chip 23, which is the second semiconductor unit. Incidentally, various connection methods such as methods based on wave soldering can be used instead of reflow soldering for the connection of integrated circuit package 22, and various connection methods such as methods based on wire bonding can be used instead of the flip-flop method for the connections of integrated circuit chips 23.

(0054) In flexible substrate 21, multiple through-holes 21m are formed in areas corresponding to solder balls 22a, which are the terminals of integrated circuit package 22. Electrically conductive pathways are formed in these through-holes 21m using plating or solder post, and solder balls 25 that protrude from the other surface 21b of flexible substrate 21 are electrically connected through these through-holes 21m.

(0055) Thermosetting adhesive 26 is applied as a fastening means in the gaps of the area in which the top surface of integrated circuit package 22 and the edges of integrated circuit chips 23 face one another when the aforementioned flexible substrate 21 is folded back approximately 180°, and this thermosetting adhesive 26 is used to prevent or constrain the relative movement of the two units—in other words, between integrated circuit package 22 and integrated circuit chips 23 and the folded portion 21c of flexible substrate 21. Double-sided tape, for example, can also be used as the aforementioned fastening means instead of thermosetting adhesive 26.

(0056) Moreover, the integrated circuit chips 23 that are used as the second semiconductor module can be equipped with boundary scan functionality for performing operation tests based on the boundary method, i.e. with boundary test circuits. In this case, integrated circuit package 22, which

does not have boundary scan functionality, and integrated circuit chips 23, which have boundary scan functionality, are electrically connected, thereby forming a semiconductor device 20 having boundary scan functionality as a whole. In this way, by equipping integrated circuit chips 23 with boundary scan functionality, it is possible to perform operation tests in the state in which semiconductor device 20 is mounted on a mounting substrate.

(0057) Here, as in the first embodiment described above, a test circuit based on the boundary scan system prescribed by IEEE-1149.1 can be installed to provide the boundary scan functionality. This test circuit comprises a boundary scan cell, a test access port controller, and ports for test data input, a test clock, test mode select, and test data output.

(0058) In the embodiment described above, a BGA (ball grid array) type integrated circuit package 22 was used as the first semiconductor unit, but, as shown in Figure 7, it would also be acceptable to use a QFP (quad flat package) type integrated circuit package 27 and to similarly connect lead frames 27a, which are the terminals of this package, to conductor pattern 24. Moreover, in this embodiment, two integrated circuit chips 23 were arranged in the lateral direction as the second semiconductor unit provided on one surface 21a of flexible substrate 21.

(0059) In this embodiment as well, as described above, flexible substrate 21 is folded back and integrated circuit package 27 and integrated circuit chips 23 are lined up not laterally (horizontally) but rather in a longitudinally (vertically) stacked manner, so the external dimensions of semiconductor device 20 can be made equivalent to those of integrated circuit package 27. In particular, as shown in Figure 7, multiple integrated circuit chips 23 are arranged in the direction in which flexible substrate 21 is folded back, so this device is effective from the perspective of reducing the width in comparison to a device in which integrated circuit package 27 and two integrated circuit chips 23 are simply arranged in the lateral direction. As a result, it is possible to achieve multichip modularization along with the reduction of the overall size of the device.

(0060) Next, the manufacturing method for semiconductor device 20 of the first embodiment described above will be explained. First, as shown in Figure 8 (a), insulating flexible substrate 21 is prepared, and multiple through-holes 21m are formed in the area in which integrated circuit package 22 is to be arranged such that they correspond to solder balls 22a, which are the terminals [of package 22]. Conductor pattern 24 is provided as a conductive pathway such that it extends over one surface 21a of flexible substrate 21 from the area in which integrated circuit package 22 is arranged to the area in which integrated circuit chips 23 are arranged. In this process, it is necessary neither to form a separate conductor pattern on the other surface 21b of flexible substrate 21 nor to form through-holes in the area in which integrated circuit chips 23 are arranged, and the process can therefore be accordingly simplified in comparison to the case of the first embodiment.

(0061) Continuing, as shown in Figure 8 (b), integrated circuit chips 23, which are used as the second semiconductor unit, are connected to the top of the right side of conductor pattern 24 provided on one side 21a of flexible substrate 21 through bumps 23a using the flip-chip method, for example, and bumps 23a are resin-sealed with sealing resin 23b such that they are embedded.

(0062) As shown in Figure 8 (c), BGA type integrated circuit package 22, which is used here as the first semiconductor unit, is then connected to the top of the left side of conductor pattern 24 provided on one side 21a of flexible substrate 21 via solder balls 22a using reflow soldering, for example.

(0063) Next, as shown in Figure 8 (d), thermosetting adhesive 26, for example, is applied to a portion of the top surface of integrated circuit package 22, which is attached to one surface 21a of flexible substrate 21. Here, the area in which this thermosetting adhesive 26 is applied is not limited to the top surface of integrated circuit package 22, and it would be acceptable for the adhesive to be applied to the side surface of integrated circuit package 22 that will come to face flexible substrate 21 in the subsequent bending process or to other desired locations.

(0064) Continuing, as shown in Figure 8 (e), portion 21c of flexible substrate 21, on which integrated circuit chips 23 have been arranged, is folded back approximately 180° using a bending device (not shown in the figure) such that the integrated circuit chips 23 are positioned above the integrated circuit package 22, and the edges of integrated circuit chips 23 are adhered and fixed to thermosetting adhesive 26 that was applied in the previous step.

(0065) Finally, as shown in Figure 8 (f), multiple solder balls 25, which are used as the external connection terminals that protrude from the other surface 21b of flexible substrate 21, are formed at the positions of through-holes 21m that have been formed corresponding to solder balls 22a, which are the terminals of integrated circuit package 22. The process in which these solder balls 25 are formed may occur before or after the process in which integrated circuit chips 23 are connected.

(0066) The external connection terminals formed in the final process described above are not limited to solder balls 25, and may also be lead frames. Moreover, as long as these external connection terminals are formed at positions corresponding to solder balls 22a, which are the terminals of integrated circuit package 22, through-holes 21m may be formed at positions biased away from these solder balls 22a and solder balls 25, which are the external connection terminals.

(0067) According to the second embodiment described above, flexible substrate 21 is folded back, and integrated circuit package 22 or 27 and integrated circuit chips 23 are lined up in the longitudinal direction (vertical direction) rather than in the lateral direction (horizontal direction), so the external dimensions of semiconductor device 20 in the lateral direction can be made equivalent to those of

integrated circuit package 22 or 27. Moreover, when the thickness of the flexible substrate 21 used is approximately 0.04 mm and the thickness of integrated circuit chips 23 is approximately 0.1 mm, increases in the overall height of semiconductor device 20 can be constrained to approximately 0.3 to 0.5 mm in comparison to the height of integrated circuit package 22 or 27, so it is possible to achieve multichip modularization along with the reduction of the overall size of the device. Furthermore, because solder balls 25 are provided corresponding to terminals 22a or 27a of integrated circuit package 22 or 27, this semiconductor device 20 can be mounted on a mounting substrate on which integrated circuit package 22 or 27 itself is mounted (not shown in the drawings). It is therefore possible to ensure compatibility with the mounting substrate between integrated circuit package 22 or 27 and semiconductor device 20 containing this integrated circuit package 22 or 27. (0068)

(EFFECT OF THE INVENTION) As described above, in the semiconductor device of the present invention, a first semiconductor unit equipped with an integrated circuit is arranged on one surface of a single insulating substrate and a second semiconductor unit equipped with an integrated circuit is arranged on the other surface of this insulating substrate, and the insulating substrate is folded back such that the portions on which the first semiconductor unit and the second semiconductor unit are arranged face one another. Thus, the first semiconductor unit and the second semiconductor unit are not arranged in the same plane, but are rather arranged in stacked fashion. As a result, it is possible to achieve multichip modularization, reduction of the overall size of the device, as well as high-density mounting.

(0069) Moreover, external connection terminals for surface mounting that protrude from the other side of the flexible substrate are provided at positions corresponding to the terminals of this first semiconductor unit, so it is possible to surface-mount a semiconductor device containing this first semiconductor unit on mounting substrates on which the first semiconductor unit can be mounted. As a result, it is possible to ensure the compatibility of the first semiconductor unit and the semiconductor device containing the first semiconductor unit with respect to the mounting substrate. It is therefore possible to divert conventional semiconductor device designs and equipment, which allows development time to be shortened and development costs to be reduced.

(0070) In the semiconductor device described above, when the external connection terminals are formed such that they protrude from the other surface on the side opposite the surface where the first semiconductor unit is arranged through through-holes formed on the insulating substrate, or when they are formed such that they protrude from the other surface on the opposite side at positions that are biased away from the through-holes, it is possible to surface-mount this semiconductor device on a mounting substrate

within a space defined by the first semiconductor unit. As a result, it is possible to reduce the width of multichip modularized semiconductor devices.

(0071) In the semiconductor device described above, when a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the portions of the insulating substrate where the semiconductor units are arranged, it is possible to prevent or constrain the relative movement of the two units, thus making it possible to improve the overall rigidity of the device.

(0072) In the semiconductor device described above, when the conductive pathway that electrically connects the first semiconductor unit and the second semiconductor unit is formed from a first conductor pattern that is formed on one surface of the insulating substrate, a second conductor pattern that is formed on the other surface of the insulating substrate, and through-holes that are formed in the insulating substrate and electrically connect the first conductor pattern and the second conductor pattern, this conductive pathway can be formed with relative ease using a conventional manufacturing method.

(0073) In the semiconductor device described above, when an integrated circuit chip having boundary scan functionality is used as the second semiconductor unit, operation tests in the surface-mounted state can be performed even on the first semiconductor unit, which does not have boundary scan functionality.

(0074) In the semiconductor device described above, a first semiconductor unit and a second semiconductor unit that are each equipped with integrated circuits are arranged on the same surface of a single insulating substrate, and the insulating substrate is folded back such that the first semiconductor unit and the second semiconductor unit face one another. Thus, the first semiconductor unit and the second semiconductor unit are not arranged in the same plane, but are rather arranged in stacked fashion. As a result, it is possible to achieve multichip modularization, reduction of the overall size of the device, as well as high-density mounting. Moreover, because the second semiconductor module is arranged such that it is wrapped inside the insulating substrate, it can be protected when a bare chip, for example, is used as this second semiconductor module.

(0075) Furthermore, external connection terminals for surface mounting that protrude from the other side of the flexible substrate are provided in positions corresponding to the terminals of this first semiconductor unit, so it is possible to surface-mount a semiconductor device containing this first semiconductor unit on mounting substrates on which the first semiconductor unit can be mounted. As a result, it is possible to ensure the compatibility of the first semiconductor unit and the semiconductor device containing the first semiconductor unit with respect to the mounting substrate. It is therefore possible to divert conventional semiconductor device designs and equipment, which allows development time to be shortened and development costs to be reduced.

(0076) In the semiconductor device described above, when the external connection terminals are formed such that they protrude from the other surface on the side opposite the surface where the first semiconductor unit is arranged through through-holes formed in the insulating substrate, or when they are formed such that they protrude from the other surface on the opposite side at positions that are biased away from the through-holes, it is possible to surface-mount this semiconductor device on a mounting substrate within a space defined by the first semiconductor unit. As a result, it is possible to reduce the width of multichip modularized semiconductor devices.

(0077) In the semiconductor device described above, when a fastening means for fastening the first semiconductor unit and the second semiconductor unit is arranged between the first semiconductor unit and the second semiconductor unit, this fastening means can prevent or constrain relative movement between the two units, thus making it possible to improve the overall rigidity of the device.

(0078) In the semiconductor device described above, when the conductive pathway that electrically connects the first semiconductor module and the second semiconductor module is formed from a conductor pattern formed on one surface of the insulating substrate, this conductive pathway can be formed with relative ease using a conventional manufacturing method. Furthermore, unlike the semiconductor devices of the previously described inventions, it is not necessary to form a separate second conductor pattern on the other surface of the flexible substrate or through-holes positioned in the area of the second semiconductor unit, which makes it possible to simplify the manufacturing process.

(0079) In the semiconductor device described above, as in the semiconductor device of the inventions described previously, when an integrated circuit chip having boundary scan functionality is used as the second semiconductor unit, operation tests in the surface-mounted state can be performed even on the first semiconductor unit, which does not have boundary scan functionality.

(BRIEF DESCRIPTION OF THE DRAWINGS)

(FIGURE 1) shows a first embodiment of the semiconductor device of the present invention; (a) is an external perspective, and (b) is a longitudinal sectional view.

(FIGURE 2) shows a first embodiment of the semiconductor device of the present invention, and is a longitudinal sectional view showing an embodiment in which another type

of unit is used for the first semiconductor unit, which constitutes a part of the device.

(FIGURE 3) shows the manufacturing method for the semiconductor device shown in Figure 1, and (a)-(f) are process diagrams for each stage of this manufacturing method.

(FIGURE 4) shows the external connection terminal area, which constitutes a part of the semiconductor device; (a) is an enlarged longitudinal sectional view of the semiconductor device shown in Figure 1, and (b) and (c) are enlarged longitudinal sectional views of other modes of connection.

(FIGURE 5) shows the external connection terminal area, which constitutes a part of the semiconductor device; (a)-(c) are enlarged longitudinal sectional views of additional modes of connection.

(FIGURE 6) is a longitudinal sectional view showing a second embodiment of the semiconductor device of the present invention.

(FIGURE 7) shows a second embodiment of the semiconductor device of the present invention, and is a longitudinal sectional view showing an embodiment in which another type of unit is used for the first semiconductor unit, which constitutes a part of the device.

(FIGURE 8) shows the manufacturing method for the semiconductor device shown in Figure 6, and (a)-(f) are process diagrams for each stage of this manufacturing method.

(EXPLANATION OF REFERENCES)

10 ... semiconductor device, 11 ... flexible substrate (insulating substrate), 11a ... one surface, 11b ... other surface, 11m and 11n ... through-holes, 12 ... integrated circuit package (first semiconductor unit), 12a ... solder ball (terminal), 13 ... integrated circuit chip (second semiconductor unit), 13a ... bump, 13b ... sealing resin, 14a ... first conductor pattern, 14b ... second conductor pattern, 15 ... solder ball (external connection terminal), 16 ... thermosetting adhesive (fastening means), 17 ... integrated circuit package (first semiconductor unit), 17a ... lead frame, 20 ... semiconductor device, 21 ... flexible substrate (insulating substrate), 21a ... one surface, 21b ... other surface, 21m ... through-hole, 22 ... integrated circuit package (first semiconductor unit), 22a ... solder ball (terminal), 23 ... integrated circuit chip (second semiconductor unit), 23a ... bump, 23b ... sealing resin, 24 ... conductor pattern, 25 ... solder ball (external connection terminal), 26 ... thermosetting adhesive (fastening means), 27 ... integrated circuit package (first semiconductor unit), 27a ... lead frame

(FIGURE 7)

[see source for figure]

(FIGURE 1)

[see source for figure]

(FIGURE 2)

[see source for figure]

(FIGURE 4)

[see source for figure]

(FIGURE 3)

[see source for figure]

(FIGURE 6)

[see source for figure]

(FIGURE 5)

[see source for figure]

(FIGURE 8)

[see source for figure]

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-88921

(P2000-88921A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int. Cl. ⁷	識別記号	F I	テラワード* (参考)
G 0 1 R 31/28		G 0 1 R 31/28	C
H 0 1 L 27/04		H 0 1 L 27/04	Z
21/822			

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平10-254301
 (22) 出願日 平成10年9月8日 (1998.9.8)

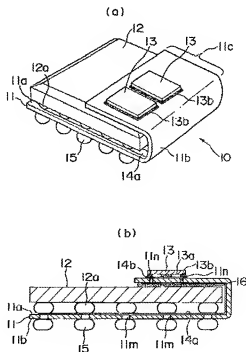
(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72) 発明者 八田 薫
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (72) 発明者 松波 敏祐
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (72) 発明者 伊東 秀幸
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (74) 代理人 100094053
 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置のマルチチップモジュール (MC-M) 化を図りつつ、装置全体としての小型化、又、実装基板に対する半導体装置の互換性を確保する。

【解決手段】1つのフレキシブル基板11に対して、その一方の面11aに集積回路パッケージ12を設け、他方の面11bに集積回路チップ13を設け、この集積回路パッケージ12と集積回路チップ13とを、第1の導体パターン14a、第2の導体パターン14b、スルーホール11nにより電気的に接続し、さらに、フレキシブル基板11に他方の面11bから突出するように外部接続端子15を設け、集積回路パッケージ12と集積回路チップ13とが積層方向に配列されるように、フレキシブル基板11を約180°折り返して、集積回路パッケージ12と同等の幅寸法をもつ半導体装置10を形成した。



【特許請求の範囲】

【請求項1】 1つの絶縁性基板と、前記絶縁性基板上に取り付けられてそれぞれ集積回路を備える第1の半導体ユニット及び第2の半導体ユニットと、前記第1の半導体ユニットと前記第2の半導体ユニットとを電気的に接続する導電路と、前記第1の半導体ユニットの端子に対応するように前記絶縁性基板上に設けられて外部との接続に用いる外部接続端子と、を備えた半導体装置であって、

前記第1の半導体ユニットは、前記絶縁性基板の一方の面上に配置され、

前記第2の半導体ユニットは、前記絶縁性基板の他方の面上に配置され、

前記絶縁性基板は、前記第1の半導体ユニットと前記第2の半導体ユニットが配置された部分とが相対向するように折り曲げられている、ことを特徴とする半導体装置。

【請求項2】 前記外部接続端子は、前記絶縁性基板上に形成されたスルーホールを通して、前記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成されている、ことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記外部接続端子は、前記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出する突出部分が、前記スルーホールから偏倚した位置に形成されている、ことを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1の半導体ユニットと前記第2の半導体ユニットが配置された絶縁性基板の部分との間には、両者を固定する固定手段が配置されている、ことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記導電路は、前記絶縁性基板の一方の面上に形成された第1の導体パターンと、前記絶縁性基板の他方の面上に形成された第2の導体パターンと、前記絶縁性基板に形成されて前記第1の導体パターンと前記第2の導体パターンとを電気的に接続するスルーホールとを有する、ことを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第2の半導体ユニットは、バウダリスキャン機能を有した集積回路チップである、ことを特徴とする請求項1記載の半導体装置。

【請求項7】 1つの絶縁性基板と、前記絶縁性基板上に取り付けられてそれぞれ集積回路を備える第1の半導体ユニット及び第2の半導体ユニットと、前記第1の半導体ユニットと前記第2の半導体ユニットとを電気的に接続する導電路と、前記第1の半導体ユニットの端子に対応するように前記絶縁性基板上に設けられて外部との接続に用いる外部接続端子と、を備えた半導体装置であって、

前記第1の半導体ユニット及び前記第2の半導体ユニッ

トは、前記絶縁性基板の同一の面上に配置され、

前記絶縁性基板は、前記第1の半導体ユニットと前記第2の半導体ユニットとが相対向するように折り曲げられている、ことを特徴とする半導体装置。

【請求項8】 前記外部接続端子は、前記絶縁性基板上に形成されたスルーホールを通して、前記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成されている、ことを特徴とする請求項7記載の半導体装置。

【請求項9】 前記外部接続端子は、前記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出する突出部分が、前記スルーホールから偏倚した位置に形成されている、ことを特徴とする請求項8記載の半導体装置。

【請求項10】 前記第1の半導体ユニットと前記第2の半導体ユニットとの間には、両者を固定する固定手段が配置されている、ことを特徴とする請求項7記載の半導体装置。

【請求項11】 前記導電路は、前記絶縁性基板の一方の面上に形成された半導体パターンを有する、ことを特徴とする請求項7記載の半導体装置。

【請求項12】 前記第2の半導体ユニットは、バウダリスキャン機能を有した集積回路チップである、ことを特徴とする請求項7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、LSI等の集積回路チップをパッケージングした集積回路パッケージ、ペラチップ等のパッケージングを施していない集積回路チップ等（以下、これらを総称して半導体ユニットという）の複数の半導体ユニットを、同一の基板上に搭載してマルチチップモジュール（MCM）化を図った半導体装置に関する。

【0002】

【従来の技術】LSI等の半導体ユニット（ICデバイス）の回路試験（動作試験）及びこれら半導体ユニットを搭載した基板の回路試験は、実装された状態で行なう必要があり、一方、近年における基板の高密度化及び高密度実装化等により、従来のインサーキット試験による基板等の評価が物理的に困難なことから、基板上で回路試験を行なうための方法として、IEEE1149.1という標準規定において、バウダリスキャン方式に基づくバウダリスキャン試験が採用されている。そして、このバウダリスキャン試験を行なう回路すなわちバウダリスキャン試験回路を、各々の半導体ユニットに予め組み込んでおくことにより、半導体ユニットを基板上に実装した後であっても、これらの回路試験を行なえるようにしたのである。

【0003】ところで、上記のように、バウダリスキャン試験回路を、各々の半導体ユニットに組み込んだ場

合においては、半導体ユニット内に設けられる試験用の領域の割合が、機能上本来的に要求される領域に比べて比較的大きくなり、半導体ユニットの大型化を招来し、又、上記試験回路を組み込んだ半導体ユニットに対応させるべく実装基板も新たに設計しなければならず、さらに、上記試験回路が組み込まれていない半導体ユニットが高密度実装された場合には実装状態で回路試験を行なうことができない、という問題がある。

【0004】そこで、上記試験回路を持たない半導体ユニットにおいても、上記回路試験を行なえるようにした装置が開発され、例えば、特開7-12901号公報、特開8-271585号公報等に示されている。

【0005】上記特開7-12901号公報に開示の装置は、半導体ユニット（ICデバイス）のピンを挿入するICリード受け金具とICソケット端子との間にバウダリスキャンセル、このバウダリスキャンセルと閉回路によりシリアルに接続されてバウダリスキャン試験を行なうTAPコントローラ等を設けたICソケットからなるものであり、このバウダリスキャン試験回路が組み込まれたICソケットを介して、半導体ユニットを基板に実装し、上記回路試験を行なうものである。

【0006】また、上記特開8-271585号公報に開示の装置は、上述同様に、半導体ユニット（ICデバイス）のピンを挿入できるICソケット内に、バウダリスキャンバス回路、バウダリスキャン対応のICデバイスでの内部ロジック回路に相当するLSI回路、このLSI回路とバウダリスキャンバス回路との接続を切り替える信号切替回路等からなるバウダリスキャン試験回路を組み込んだものからなり、このICソケットを介して、半導体ユニットを基板に実装し、上記回路試験を行なうものである。

【0007】

【発明が解決しようとする課題】しかしながら、上記特開7-12901号公報及び特開8-271585号公報に開示の装置においては、いずれもソケット方式すなわち挿入実装方式を採用したものであり、この挿入実装方式ではソケットの高さが通常1mm以上になり、高さ方向におけるサイズが増加するため、高密度実装には不向きであるという問題があった。また、上記公報に開示の装置においては、ソケット内に組み込まれる回路が、いずれもバウダリスキャン試験回路のみであり、ソケットを他の用途に用いることができない、すなわち、マルチチップモジュール化を図ることができない、という問題があった。

【0008】本発明は、上記従来技術の問題点に鑑みて成されたものであり、その目的とするところは、1つの絶縁性基板上に、種々の機能をもつLSI、ICチップ等の半導体ユニットを複数搭載して、マルチチップモジュール（MCM）化を図るつつ、装置全体としての小型化、さらには、LSI等1つの半導体ユニットが実装さ

れる実装基板に対して、この半導体ユニットを含むMCM化された半導体装置をも実装できるように、実装基板に対する互換性を確保できる、半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明者等は、上記目的を達成するべく鋭意検討を重ねた結果、以下の如き構成をなす発明を見出すに至った。すなわち、本発明の半導体装置は、1つの絶縁性基板と、この絶縁性基板上に取り付けられてそれぞれ集積回路を備える第1の半導体ユニット及び第2の半導体ユニットと、この第1の半導体ユニットと第2の半導体ユニットとを電気的に接続する導電路と、上記第1の半導体ユニットの端子に対応するように前記絶縁性基板上に設けられて外部との接続に用いる外部接続端子と、を備えた半導体装置であって、上記第1の半導体ユニットは、前記絶縁性基板の一方の面上に配置され、上記第2の半導体ユニットは、上記絶縁性基板の他方の面上に配置され、上記絶縁性基板は、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された部分とが相対向するように折り曲げられている、ことを特徴としている。

【0010】上記半導体装置においては、上記外部接続端子を、上記絶縁性基板上に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成した構成を採用することができる。上記半導体装置においては、上記外部接続端子のうち、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出する突出部分が、上記スルーホールから偏倚した位置に形成された構成を採用することができる。

【0011】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された絶縁性基板の部分との間に、両者を固定する固定手段を配置する構成を採用することができる。上記半導体装置においては、上記導電路として、上記絶縁性基板の一方の面上に形成された第1の導体パターンと、上記絶縁性基板の他方の面上に形成された第2の導体パターンと、上記絶縁性基板上に形成されて上記第1の導体パターンと上記第2の導体パターンとを電気的に接続するスルーホールと、を有する構成を採用することができる。上記半導体装置においては、上記第2の半導体ユニットとして、バウダリスキャン機能を有した集積回路チップを採用することができる。

【0012】また、本発明の半導体装置は、1つの絶縁性基板と、この絶縁性基板上に取り付けられてそれぞれ集積回路を備える第1の半導体ユニット及び第2の半導体ユニットと、この第1の半導体ユニットと第2の半導体ユニットとを電気的に接続する導電路と、上記第1の半導体ユニットの端子に対応するように上記絶縁性基板上に設けられて外部との接続に用いる外部接続端子と、

を備えた半導体装置であって、上記第1の半導体ユニット及び上記第2の半導体ユニットは、上記絶縁性基板の同一の面上に配置され、上記絶縁性基板は、上記第1の半導体ユニットと上記第2の半導体ユニットとが相対向するように折り曲げられている、ことを特徴としている。

【0013】上記半導体装置においては、上記外部接続端子を、上記絶縁性基板に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成した構成を採用することができる。上記半導体装置においては、上記外部接続端子のうち、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出する突出部分が、上記スルーホールから偏倚した位置に形成された構成を採用することができる。

【0014】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットとの間に、両者を固定する固定手段を配置する構成を採用することができる。上記半導体装置においては、上記導電路としては、上記導電路として、上記絶縁性基板の一方の面上に形成された導体パターンを有する構成を採用することができる。上記半導体装置においては、上記第2の半導体ユニットとして、パウンダリスキラン機能をも有した集積回路チップを採用することができる。

【0015】本発明の半導体装置においては、1つの絶縁性基板に対して、集積回路を備える第1の半導体ユニットが上記絶縁性基板の一方の面上に配置され、かつ、集積回路を備える第2の半導体ユニットが上記絶縁性基板の他方の面上に配置され、さらに、上記絶縁性基板が、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された部分とが相対向するように折り曲げられていることから、上記第1の半導体ユニットと上記第2の半導体ユニットとは、お互いが平面状に配置されるのではなく、積層されるように配置されることになる。また、上記第1の半導体ユニットと第2の半導体ユニットとが導電路により電気的に接続され、上記第1の半導体ユニットの端子に対応して上記絶縁性基板上に、外部との接続に用いる外部接続端子が設けられていることから、外部の実装基板等に対して、この外部接続端子を接続することにより、上記第1の半導体ユニット及び第2の半導体ユニットの動作が可能となる。

【0016】上記半導体装置においては、上記外部接続端子を、上記絶縁性基板に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成され、あるいは、上記スルーホールから偏倚した位置にて反対側の他方の面から突出するように（突出部分が）形成された場合において、上記第1の半導体ユニットにより画定される範囲内において、この突出した部分を介して外部の基板等に表面実装が行なわれる。

【0017】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された絶縁性基板の部分との間に、両者を固定する固定手段が配置された場合において、この固定手段が両者の間の相対的な移動を防止あるいは抑制するように作用して、全体としての剛性を向上させる。

【0018】上記半導体装置においては、上記導電路として、上記絶縁性基板の一方の面上に形成された第1の導体パターンと、上記絶縁性基板の他方の面上に形成された第2の導体パターンと、上記絶縁性基板に形成されて上記第1の導体パターンと上記第2の導体パターンとを電気的に接続するスルーホールと、を有する構成とした場合において、これら第1の導体パターン、第2の導体パターン、スルーホールを介して、第1の半導体ユニットと第2の半導体ユニットとの電気的接続がなされる。

【0019】上記半導体装置においては、上記第2の半導体ユニットとして、パウンダリスキラン機能をも有した集積回路チップを採用した場合において、この第2の半導体ユニットを介して、表面実装状態にある第1の半導体ユニットあるいは基板の動作試験が行なわれる。

【0020】また、本発明の半導体装置においては、1つの絶縁性基板に対して、それぞれ集積回路を備える第1の半導体ユニットと第2の半導体ユニットとが上記絶縁性基板の同一の面上に配置され、かつ、上記絶縁性基板が、上記第1の半導体ユニットと上記第2の半導体ユニットとが相対向するように折り曲げられていることから、上記第1の半導体ユニットと上記第2の半導体ユニットとは、お互いが平面状に配置されるのではなく、お互いに向して積層されるように配置されることになる。また、上記第1の半導体ユニットと第2の半導体ユニットとが導電路により電気的に接続され、上記第1の半導体ユニットの端子に対応して上記絶縁性基板上に、外部との接続に用いる外部接続端子が設けられていることから、外部の実装基板等に対して、この外部接続端子を接続することにより、上記第1の半導体ユニット及び第2の半導体ユニットの動作が可能となる。

【0021】上記半導体装置においては、前述同様に、上記外部接続端子を、上記絶縁性基板に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成され、あるいは、上記スルーホールから偏倚した位置にて反対側の他方の面から突出するように（突出部分が）形成された場合において、上記第1の半導体ユニットにより画定される範囲内において、この突出した部分を介して外部の基板等に表面実装が行なわれる。

【0022】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットとの間に、両者を固定する固定手段が配置された場合において、この固定手段が両者の間の相対的な移動を防止あるいは抑制す

るよう作用して、全体としての剛性を向上させる。

【0023】上記半導体装置においては、前述同様に、上記導電路として、上記絶縁性基板の一方の面上に形成された導体パターンを有する構成とした場合において、この導体パターンを介して、第1の半導体ユニットと第2の半導体ユニットとの電気的接続がなされる。

【0024】上記半導体装置においては、前述同様に、上記第2の半導体ユニットとして、バウンダリスキャン機能を有した集積回路チップを採用した場合において、この第2の半導体ユニットを介して、表面実装状態にある第1の半導体ユニットあるいは基板の動作試験が行なわれ得る。

【0025】

【発明の実施の形態】以下、本発明に係る半導体装置の実施の形態を添付図面に基いて説明する。図1

(a)、(b)は、本発明に係る半導体装置の第1の実施形態を示す外観斜視図及び縦断面図である。この半導体装置10は、図1(a)に示すように、1つの絶縁性基板としてのフレキシブル基板11と、このフレキシブル基板11の一方の面11a上に配置された集積回路を備える第1の半導体ユニットとしての、例えばBGA(ボールグリッドアレイ)タイプの集積回路パッケージ12と、フレキシブル基板11の他方の面11b上に配置された集積回路を備える第2の半導体ユニットとしての、例えばベアチップである2つの集積回路チップ13と、この集積回路パッケージ12と集積回路チップ13とを電気的に接続する導電路としての銅製の導体パターン14と、集積回路パッケージ12の端子である半田ボール12aに対応するように、フレキシブル基板11の他方の面11bから突出して設けられて外部すなわち実装基板との接続に用いる外部接続端子としての半田ボール15とを、その基本構成として備えている。

【0026】そして、上記フレキシブル基板11は、その一方の面11a上に配置された集積回路パッケージ12とその他方の面11b上において集積回路チップ13が配置された領域のフレキシブル基板11の部分11cとが相対向するように、約180°折り曲げられている。すなわち、集積回路パッケージ12の上方に、集積回路チップ13が配置された領域のフレキシブル基板の部分11cが位置して、これら集積回路パッケージ12と集積回路チップ13とが上下方向に積層されるように配置された状態となっている。

【0027】このように、フレキシブル基板11が折り曲げられて、集積回路パッケージ12と集積回路チップ13とが、横方向(水平方向)に配列されるのではなく縦方向(上下方向)に配列されるため、半導体装置10としての横方向の外形寸法は、集積回路パッケージ12と同等の寸法とすることができ、又、フレキシブル基板11の厚さが約0.04mm程度、集積回路チップ13の厚さが約0.1mm程度のものを用いた場合、半導体

装置10全体の高さは、集積回路パッケージ12の高さに比べ、0.3〜0.5mm程度の増加に留まる。したがって、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。また、集積回路パッケージ12の端子12aに対応させて半田ボール15を設けたことから、集積回路パッケージ12そのものが実装される実装基板(不図示)に対して、この半導体装置10を実装することができる。したがって、集積回路パッケージ12とこの集積回路パッケージ12を含む半導体装置10との間において、実装基板に対する互換性を確保することができる。

【0028】ここで、上記導体パターン14は、図1(b)に示すように、フレキシブル基板11の一方の面11aにおいて、集積回路パッケージ12が配置される領域及びこの領域から他端側へ伸びるように配設された第1の導体パターン14aと、フレキシブル基板11の他方の面11b上において、集積回路チップ13が配置される領域に配設された第2の導体パターン14bとからなり、この第1の導体パターン14aには、集積回路パッケージ12の半田ボール12aがリフローソルダリングにより電気的に接続されており、一方、第2の導体パターン14bには、集積回路チップ13がバンプ13aを介してフリップチップ方式により接続されている。尚、集積回路パッケージ12の接続は、上記リフローソルダリングの他に、ウェーボンディングによる方法等種々の接続方法を採用することができ、又、集積回路チップ13の接続についても、上記フリップチップ方式の他に、ワイヤボンディングによる方法等種々の接続方法を採用することができる。

【0029】また、フレキシブル基板11には、集積回路パッケージ12の端子である半田ボール12aに対応する部分に複数個のスルーホール11mが形成され、又、集積回路チップ13が配置された縁部領域に対応する部分に複数個のスルーホール11nが形成されている。そして、これらスルーホール11m、11nには、めっきあるいは半田ポスト等により電気的導電路が形成されており、このスルーホール11mを通して、フレキシブル基板11の他方の面11aに配設された第1の導体パターン14aとフレキシブル基板11の他方の面11bから突出する半田ボール15とが電気的に接続され、スルーホール11nを通して、フレキシブル基板11の一方の面11aに配設された第1の導体パターン14aとフレキシブル基板11の他方の面11bに配設された第2の導体パターン14bとが電気的に接続されている。上記第1の導体パターン14a、第2の導体パターン14b、スルーホール11nにより、第1の半導体ユニットである集積回路パッケージ12と第2の半導体ユニットである集積回路チップ13とを電気的に接続する導電路が形成されている。

【0030】本実施形態においては、スルーホール11

nを設けて、第1の導体パターン14aと第2の導体パターン14bとを電気的に接続したが、スルーホール11nを設けることなく、スルーホール11mの領域まで第2の導体パターン14bを伸長させて、このスルーホール11mを介して第1の導体パターン14aと第2の導体パターン14bとを電気的に接続し、これにより、集積回路パッケージ112と集積回路チップ13とを電気的に接続することもできる。この場合、上記第1の導体パターン14a、第2の導体パターン14b、スルーホール11mにより、第1の半導体ユニットである集積回路パッケージ112と第2の半導体ユニットである集積回路チップ13とを電気的に接続する導電路が形成されることになる。

【0031】上記フレキシブル基板11が約180°折り曲げられた状態において、集積回路パッケージ112の上面と集積回路チップ13が配置された領域のフレキシブル基板11の部分11cとが相対向する領域の間隙部分には、固定手段としての熱硬化性接着剤16が塗布されており、この熱硬化性接着剤16により、両者すなわち集積回路パッケージ112と集積回路チップ13及びフレキシブル基板11の折り曲げ部分11cとの間に相対的な移動が生じないように、あるいは、相対的な移動が抑制されるようになっている。尚、上記固定手段としては、熱硬化性接着剤16の他に、両面テープ等を採用することもできる。

【0032】また、上記第2の半導体モジュールとしての集積回路チップ13に、バウダングリ方式に基づく動作試験を行なうためのバウダングリスキヤン機能、すなわちバウダングリスキヤン試験回路を持たせることも可能であり、この場合には、バウダングリスキヤン機能を持たない集積回路パッケージ112と、バウダングリスキヤン機能を持つ集積回路チップ13とが電気的に接続されて、全体としてバウダングリスキヤン機能を持つ半導体装置10が形成されることになる。このように、集積回路チップ13にバウダングリスキヤン機能を持たせることにより、半導体装置10が実装基板に実装された状態で、動作試験を行なうことができる。

【0033】ここで、上記バウダングリスキヤン機能としては、IEEE-1149.1に規定されるバウダングリスキヤン方式による試験回路を設ければよく、この試験回路は、バウダングリスキヤンセル、テストアクセスポートコントローラ、及びテストデータインプット、テストクロック、テストモードセレクト、テストデータアウトプット等のポート等からなるものである。

【0034】上記実施形態においては、第1の半導体ユニットとして、BGA（ボールグリッドアレイ）タイプの集積回路パッケージ112を採用したが、図2に示すように、QFP（クワッドフラットパッケージ）タイプの集積回路パッケージ117を採用し、その端子であるリードフレーム17aを、前述同様に、第1の導体パターン

14aに接続してもよい。尚、この実施形態では、フレキシブル基板11の他方の面11b上に設けられる第2の半導体ユニットとしての集積回路チップ13を横方向に2個配置したものである。

【0035】この実施形態においても、前述同様に、フレキシブル基板11が折り曲げられて、集積回路パッケージ117と集積回路チップ13とが、横方向（水平方向）に配列されるのではなく縦方向（上下方向）に積層されるように配列されるため、半導体装置10としての横方向の外形寸法は、集積回路パッケージ117と同等の寸法とすることができ、特に、図2に示すように、フレキシブル基板11を折り返す方向に複数個の集積回路チップ13を配置することから、単に横方向に集積回路パッケージ117及び2個の集積回路チップ13を配置するものに比べて、幅狭化の点でより効果的である。これにより、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。

【0036】次に、上記第1の実施形態に係る半導体装置10の製造方法について説明する。先ず、図3(a)に示すように、絶縁性のフレキシブル基板11を用意し、集積回路パッケージ112が配置される領域内においてその端子である半田ボール12aに対応するように、複数個のスルーホール11mを形成し、又、集積回路チップ13が配置される領域内においてその端子すなわちバンパ13aに対応するように、複数個のスルーホール11nを形成する。また、フレキシブル基板11の一方の面11a上に第1の導体パターン14aを配設し、フレキシブル基板11の他方の面11b上に第2の導体パターン14bを配設する。さらに、上記スルーホール11m、11nの部分にめっき等により導電路を形成して、第1の導体パターン14aと第2の導体パターン14bとの電気的接続を行なう。

【0037】続いて、図3(b)に示すように、フレキシブル基板11の他方の面11bに配設された第2の導体パターン14bの上に、バンパ13aを介して、第2の半導体ユニットである集積回路チップ13を例えばフリップチップ方式で接続し、バンパ13aを埋設するように封止樹脂13bにより樹脂封止する。

【0038】さらに続いて、図3(c)に示すように、フレキシブル基板11の一方の面11aに配設された第1の導体パターン14aの上に、バンパ13aを介して、第1の半導体ユニットとしてここではBGAタイプの集積回路パッケージ112を例えばフローソルディングにより接続する。

【0039】次に、図3(d)に示すように、フレキシブル基板11の一方の面11a上に取り付けられた集積回路パッケージ112の上面の図2に、例えば熱硬化性接着剤16を塗布する。この際、この熱硬化性接着剤16を塗布する領域は、集積回路パッケージ112の上面に限らず、後の曲げ工程によりフレキシブル基板11と対向

することになる集積回路パッケージ12の側面、あるいは、その他の所望の箇所に配置してもよい。

【0040】続いて、図3(e)に示すように、曲げ加工装置(不図示)を用いて、フレキシブル基板11の集積回路チップ13を配置した部分11cが、集積回路パッケージ12の上方に位置付けられるように、約180°折り返して、この折り返した部分11cの面11aを、前工程で設けた熱硬化性接着剤16に密着させて、固着させる。

【0041】最後に、図3(f)に示すように、集積回路パッケージ12の端子である半田ボール12aに対応して形成されたスルーホール11mの位置において、図4(a)に拡大して示すように、フレキシブル基板11の他方の面11bから突出する外部接続端子としての半田ボール15を複数個形成する。尚、この半田ボール15を形成する工程は、集積回路チップ13を接続する工程の前後であってもよい。

【0042】上記最後の工程で形成される外部接続端子としては、上記半田ボール15に限らず、リードフレームであってもよく、又、集積回路パッケージ12の端子である半田ボール12aに対応する位置にこの外部接続端子が形成されれば、スルーホール11mは、これら半田ボール12a及び外部接続端子から偏倚した位置に形成されていてもよい。

【0043】上記第1の実施形態によれば、フレキシブル基板11が折り曲げられて、集積回路パッケージ12、17と集積回路チップ13とが、横方向(水平方向)に配列されるのではなく縦方向(上下方向)に配列されるため、半導体装置10としての横方向の外形寸法を、集積回路パッケージ12、17と同等の寸法とすることができ、又、フレキシブル基板11の厚さが約0.04mm程度、集積回路チップ13の厚さが約0.1mm程度のものを用いた場合、半導体装置10全体の高さは、集積回路パッケージ12、17の高さに比べ、0.3〜0.5mm程度の増加に留まるため、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。また、集積回路パッケージ12、17の端子12a、17aに対応させて半田ボール15を設けたことから、集積回路パッケージ12、17そのものが実装される実装基板(不図示)に対して、この半導体装置10を実装することができる。したがって、集積回路パッケージ12、17とこの集積回路パッケージ12、17を含む半導体装置10との間において、実装基板に対する互換性を確保することができる。

【0044】図4(b)、(c)、図5(a)、(b)、(c)は、それぞれ、前述外部接続端子についてのその他の接続形態を示すものである。図4(b)に示す接続形態は、第1の半導体ユニットとしてQFPタイプの集積回路パッケージ17を採用し、この集積回路パッケージ17のリードフレーム17aを第1の導体パターン14aを第1の導体パ

ターン14aに接続し、このリードフレーム17aの接続端部の直下にあけつき等で電気的導通がとれたスルーホール11mを形成し、このスルーホール11mの直下に外部接続端子としての半田ボール15を形成したものである。

【0045】図4(c)に示す接続形態は、第1の半導体ユニットとしてBGAタイプの集積回路パッケージ12を採用し、この集積回路パッケージ12の半田ボール12aを第1の導体パターン14aに接続し、この半田ボール12aから偏倚した位置にあけつき等で電気的導通がとれたスルーホール11mを形成し、又、フレキシブル基板11の他方の面11bに第3の導体パターン14cを配設し、このスルーホール11mを通して第1の導体パターン14aと第3の導体パターン14cとを電気的に接続し、さらに、上記半田ボール12aの下方に対応する位置において、この第3の導体パターン14cに外部接続端子としての半田ボール15を形成したものである。

【0046】図5(a)に示す接続形態は、第1の半導体ユニットとしてQFPタイプの集積回路パッケージ17を採用し、この集積回路パッケージ17のリードフレーム17aを第1の導体パターン14aに接続し、このリードフレーム17aの接続端部から偏倚した位置にあけつき等で電気的導通がとれたスルーホール11mを形成し、又、フレキシブル基板11の他方の面11bに第3の導体パターン14cを配設し、このスルーホール11mを通して第1の導体パターン14aと第3の導体パターン14cとを電気的に接続し、さらに、上記リードフレーム17aの接続部分の下方に対応する位置において、この第3の導体パターン14cに外部接続端子としての半田ボール15を形成したものである。

【0047】図5(b)に示す接続形態は、第1の半導体ユニットとしてBGAタイプの集積回路パッケージ12を採用し、この集積回路パッケージ12の半田ボール12aを第1の導体パターン14aに接続し、この半田ボール12aから偏倚した位置にあけつき等で電気的導通がとれたスルーホール11mを形成し、又、フレキシブル基板11の他方の面11bに第3の導体パターン14cを配設し、このスルーホール11mを通して第1の導体パターン14aと第3の導体パターン14cとを電気的に接続し、さらに、この第3の導体パターン14cに外部接続端子としてのリードフレーム18を接続し、上記半田ボール12aの下方に対応する位置において、上記リードフレーム18の接続端部が位置付けられるように形成したものである。

【0048】図5(c)に示す接続形態は、第1の半導体ユニットとしてQFPタイプの集積回路パッケージ17を採用し、この集積回路パッケージ17のリードフレーム17aを第1の導体パターン14aに接続し、このリードフレーム17aの接続端部から偏倚した位置にめ

つき等で電気的導通がとられたスルーホール11mを形成し、又、フレキシブル基板11の他方の面11bに第3の導体パターン14cを配設し、このスルーホール11mを通して第1の導体パターン14aと第3の導体パターン14cとを電気的に接続し、さらに、この第3の導体パターン14cに外部接続端子としてのリードフレーム18を接続し、上記リードフレーム17aの接続端部の下方に対応する位置において、上記リードフレーム18の接続端部が位置付けられるように形成したものである。

【0049】上記の如く、外部接続端子の接続形態として種々のものを適宜採用することにより、本発明の半導体装置を、実装基板に応じて確実に実装することが可能となる。

【0050】図6は、本発明に係る半導体装置の第2の実施形態を示す縦断面図である。この半導体装置20は、図6に示すように、1つの絶縁性基板としてのフレキシブル基板21と、このフレキシブル基板21の一方の面21a上に配置された集積回路を備える第1の半導体ユニットとしての、例えばBGA（ボールグリッドアレイ）タイプの集積回路パッケージ22と、同様にフレキシブル基板21の一方の面21a上に配置された集積回路を備える第2の半導体ユニットとしての、例えばバンプチップである2つの集積回路チップ23と、この集積回路パッケージ22と集積回路チップ23とを電気的に接続する導電路としての銅製の導体パターン24と、集積回路パッケージ22の端子である半田ボール22aに対応するように、フレキシブル基板21の他方の面21bから突出して設けられて外部すなわち実装基板との接続に用いる外部接続端子としての半田ボール25とを、その基本構成として備えている。

【0051】そして、上記フレキシブル基板21は、その一方の面21a上に共に配置された集積回路パッケージ22と集積回路チップ23とが相対向するように、約180°折り曲げられている。すなわち、集積回路パッケージ22の上方に、集積回路チップ23の端面が位置して、これら集積回路パッケージ22と集積回路チップ23とが上下方向に積層されるように配置された状態となっている。

【0052】このように、フレキシブル基板21が折り曲げられて、集積回路パッケージ22と集積回路チップ23とが、横方向（水平方向）に配列されるのではなく縦方向（上下方向）に配列されるため、半導体装置20としての横方向の外形寸法は、集積回路パッケージ22と同等の寸法とすることができ、又、フレキシブル基板21の厚さが約0.4mm程度、集積回路チップ23の厚さが約0.1mm程度のものを用いた場合、半導体装置20全体の高さは、集積回路パッケージ22の高さに比べ、0.3〜0.5mm程度の増加に留まる。したがって、マルチチップジュレリ化を行なういつ、装置

全体としての小型化を達成することができる。また、集積回路パッケージ22の端子22aに対応させて半田ボール25を設けたことから、集積回路パッケージ22そのものが実装される実装基板（不図示）に対して、この半導体装置20を実装することができる。したがって、集積回路パッケージ22とこの集積回路パッケージ22を含む半導体装置20との間において、実装基板に対する互換性を確保することができる。

【0053】ここで、上記導体パターン24は、図6に示すように、フレキシブル基板21の一方の面21a上において、集積回路パッケージ22が配置される領域及びこの領域から他端側の集積回路チップ23が配置される領域まで伸長して配設されており、この導体パターン24には、集積回路パッケージ22の半田ボール22aがリフローソルダリングにより電気的に接続され、又、集積回路チップ23がバンプ23aを介してフリップチップ方式により接続されている。上記導体パターン24が、第1の半導体ユニットである集積回路パッケージ22と第2の半導体ユニットである集積回路チップ23とを電気的に接続する導電路を形成するものである。尚、集積回路パッケージ22の接続は、上記リフローソルダリングの他に、エウペソルダリングによる方法等種々の接続方法を採用することができ、又、集積回路チップ23の接続についても、上記フリップチップ方式の他に、ワイヤボンディングによる方法等種々の接続方法を採用することができる。

【0054】また、フレキシブル基板21には、集積回路パッケージ22の端子である半田ボール22aに対応する部分に複数個のスルーホール21mが形成されている。そして、このスルーホール21mには、めっきあるいは半田ポスト等により電気的導電路が形成されており、このスルーホール21mを通して、フレキシブル基板21の他方の面21bから突出する半田ボール25とが電気的に接続されている。

【0055】上記フレキシブル基板21が約180°折り曲げられた状態において、集積回路パッケージ22の上面と集積回路チップ23の端面とが相対向する領域の間隙部分には、固定手段としての熱硬化性接着剤26が塗布されており、この熱硬化性接着剤26により、両者すなわち集積回路パッケージ22と集積回路チップ23及びフレキシブル基板21の折り曲げ部分21cとの間に相対的な移動が生じないように、あるいは、相対的な移動が抑制されるようになっている。尚、上記固定手段としては、熱硬化性接着剤26の他に、両面テープ等を採用することもできる。

【0056】また、上記第2の半導体ユニットとしての集積回路チップ23に、バウンダリ方式に基づく動作試験を行なうためのバウンダリスキャン機能、すなわち、バウンダリスキャン試験回路を持たせることも可能であり、この場合には、バウンダリスキャン機能を持たない

集積回路パッケージ22と、バウンダリスキャン機能を持つ集積回路チップ23とが電気的に接続されて、全体としてバウンダリスキャン機能を持つ半導体装置20が形成されることになる。このように、集積回路チップ23にバウンダリスキャン機能を持たせることにより、半導体装置20が実装基板上に実装された状態で、動作試験を行なうことができる。

【0057】ここで、上記バウンダリスキャン機能としては、前述第1の実施形態同様に、IEEE1149.1に規定されるバウンダリスキャン試験回路を設ければよく、この試験回路は、バウンダリスキャンセル、テストアクセスポートコントローラ、及びテストデータインプット、テストクロック、テストモードセレクト、テストデータアウトプット等のポート等からなるものである。

【0058】上記実施形態においては、第1の半導体ユニットとして、BGA（ボールグリッドアレイ）タイプの集積回路パッケージ22を採用した、図7に示すように、QFP（クワッドフラットパッケージ）タイプの集積回路パッケージ27を採用し、その端子であるリードフレーム27aを、前述同様に、導体パターン24に接続してもよい。尚、この実施形態では、フレキシブル基板21の一方の面21a上に設けられる第2の半導体ユニットとしての集積回路チップ23を横方向に2個配置したものである。

【0059】この実施形態においても、前述同様に、フレキシブル基板21が折り曲げられて、集積回路パッケージ27と集積回路チップ23とが、横方向（水平方向）に配列されるのではなく縦方向（上下方向）に層留されるように配列されるため、半導体装置20としての横方向の外形状は、集積回路パッケージ27と同等の寸法とすることができ、特に、図7に示すように、フレキシブル基板21を折り返す方向に複数個の集積回路チップ23を配置することから、単に横方向に集積回路パッケージ27及び2個の集積回路チップ23を配置するものに比べて、幅狭の点でより効果的である。これにより、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。

【0060】次に、上記第1の実施形態に係る半導体装置20の製造方法について説明する。先ず、図8(a)に示すように、絶縁性のフレキシブル基板21を用意し、集積回路パッケージ22が配置される領域内においてその端子である半田ボール22aに対応するように、複数個のスルーホール21mを形成する。また、フレキシブル基板21の一方の面21a上かつ集積回路パッケージ22が配置される領域から集積回路チップ23が配置される領域まで伸長して導電路としての導体パターン24を配設する。この工程においては、前述第1の実施形態の場合に比べて、フレキシブル基板21の他方の面21bに別個の導体パターンを形成する必要がなく、

又、集積回路チップ23が配置される領域にスルーホールを形成する必要がなく、その分だけ工程を簡略化することができる。

【0061】続いて、図8(b)に示すように、フレキシブル基板21の一方の面21aに配設された導体パターン24の右側上部に、バンパ23aを介して、第2の半導体ユニットである集積回路チップ23を例えばフリップチップ方式で接続し、バンパ23aを埋設するように封止樹脂23bにより樹脂封止する。

【0062】さらに続いて、図8(c)に示すように、フレキシブル基板21の一方の面21aに配設された導体パターン24の左側上部に、半田ボール22aを介して、第1の半導体ユニットとしてここではBGAタイプの集積回路パッケージ22を例えばフローソルディングにより接続する。

【0063】次に、図8(d)に示すように、フレキシブル基板21の一方の面21a上に取り付けられた集積回路パッケージ22の上面の一部に、例えば熱硬化性接着剤26を塗布する。この際、この熱硬化性接着剤26を塗布する領域は、集積回路パッケージ22の上面に限らず、後の曲げ工程によりフレキシブル基板21と対向することになる集積回路パッケージ22の側面、あるいは、その他の所望の箇所に塗布してもよい。

【0064】続いて、図8(e)に示すように、曲げ加工装置（不図示）を用いて、フレキシブル基板21の集積回路チップ23が、集積回路パッケージ22の上方に位置付けられるように、集積回路チップ23が配置された部分21cを約180°折り返して、前工程で設けた熱硬化性接着剤26に集積回路チップ23の端面を密着させて、固着させる。

【0065】最後に、図8(f)に示すように、集積回路パッケージ22の端子である半田ボール22aに対応して形成されたスルーホール21mの位置において、フレキシブル基板21の他方の面21bから突出する外部接続端子としての半田ボール25を複数個形成する。尚、この半田ボール25を形成する工程は、集積回路チップ23を接続する工程の前後であってもよい。

【0066】上記最後の工程で形成される外部接続端子としては、上記半田ボール25に限らず、リードフレームであってもよく、又、集積回路パッケージ22の端子である半田ボール22aに対応する位置にこの外部接続端子が形成されれば、スルーホール21mは、これら半田ボール22a及び外部接続端子である半田ボール25から偏倚した位置に形成されていてもよい。

【0067】上記第2の実施形態によれば、フレキシブル基板21が折り曲げられて、集積回路パッケージ22、27と集積回路チップ23とが、横方向（水平方向）に配列されるのではなく縦方向（上下方向）に配列されるため、半導体装置20としての横方向の外形状を、集積回路パッケージ22、27と同等の寸法とする

ことができ、又、フレキシブル基板21の厚さが約0.04mm程度、集積回路チップ23の厚さが約0.1mm程度のものを用いた場合、半導体装置20全体の高さは、集積回路パッケージ22、27の高さに比べ、0.3~0.5mm程度の増加に留まるため、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。また、集積回路パッケージ22、27の端子22a、27aに対応させて半田ボール25を設けたことから、集積回路パッケージ22、27そのものが実装される実装基板(不図示)に対して、この半導体装置20を実装することができる。したがって、集積回路パッケージ22、27とこの集積回路パッケージ22、27を含む半導体装置20との間において、実装基板に対する互換性を確保することができる。

【0068】

【発明の効果】以上述べたように、本発明の半導体装置によれば、1つの絶縁性基板に対して、集積回路を備える第1の半導体ユニットが上記絶縁性基板の一方の面上に配置され、かつ、集積回路を備える第2の半導体ユニットが上記絶縁性基板の他方の面上に配置され、さらに、上記絶縁性基板が、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された部分とが相対向するように折り曲げられていることから、上記第1の半導体ユニットと上記第2の半導体ユニットとは、お互いが平面状に配置されるのではなく、積層されるように配置されることになる。これにより、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができる。さらには、高密度実装化を達成することができる。

【0069】また、上記第1の半導体ユニットの端子に対応する位置において、フレキシブル基板の他方の面から突出する表面実装用の外部接続端子が設けられていることから、第1の半導体ユニットが実装される実装基板等に対して、この第1の半導体ユニットを含む半導体装置を表面実装することができ、これにより、実装基板に対する第1の半導体ユニットと第1の半導体ユニットを含む半導体装置との互換性を確保することができる。したがって、従来の半導体装置の設計、設備等を利用することができ、開発時間の短縮化、開発コストの低減等を達成することができる。

【0070】上記半導体装置においては、上記外部接続端子を、上記絶縁性基板に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成し、あるいは、上記スルーホールから偏倚した位置にて反対側の他方の面から突出するように形成した場合において、上記第1の半導体ユニットにより画定される範囲と同等の範囲内において、この半導体装置を実装基板等に表面実装することができ、これにより、マルチチップモジュール化を行なった半導体装置の簡便化を達成するこ

とができる。

【0071】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットが配置された絶縁性基板の部分との間に、両者を固定する固定手段が配置された場合において、両者間の相対的な移動を防止あるいは抑制することができ、これにより、装置全体としての剛性を向上させることができる。

【0072】上記半導体装置においては、上記第1の半導体ユニットと第2の半導体ユニットとを電気的に接続する導電路を、上記絶縁性基板の一方の面上に形成された第1の導体パターンと、上記絶縁性基板の他方の面上に形成された第2の導体パターンと、上記絶縁性基板に形成された上記第1の導体パターンと上記第2の導体パターンとを電気的に接続するスルーホールとにより形成した場合において、従来の製造方法を用いて、比較的に容易にこの導電路を形成することができる。

【0073】上記半導体装置においては、上記第2の半導体ユニットとして、バウンダリキャン機能を有した集積回路チップを採用した場合において、バウンダリキャン機能を持たない第1の半導体ユニットに対しても、表面実装状態においての動作試験を行なうことができる。

【0074】また、本発明の半導体装置によれば、1つの絶縁性基板に対して、それぞれ集積回路を備える第1の半導体ユニットと第2の半導体ユニットとが上記絶縁性基板の同一の面上に配置され、かつ、上記絶縁性基板が、上記第1の半導体ユニットと上記第2の半導体ユニットとが相対向するように折り曲げられていることから、上記第1の半導体ユニットと上記第2の半導体ユニットとは、お互いが平面状に配置されるのではなく、積層されるように配置されることになる。これにより、マルチチップモジュール化を行ないつつ、装置全体としての小型化を達成することができ、さらには、高密度実装化を達成することができる。また、第2の半導体モジュールが絶縁性基板の内側に囲まれるように配置されることとなるため、この第2の半導体モジュールとして例えばベアチップ等を採用した場合に、その保護を行なうことができる。

【0075】また、上記第1の半導体ユニットの端子に対応する位置において、フレキシブル基板の他方の面から突出する表面実装用の外部接続端子が設けられていることから、第1の半導体ユニットが実装される実装基板等に対して、この第1の半導体ユニットを含む半導体装置を表面実装することができ、これにより、実装基板に対する第1の半導体ユニットと第1の半導体ユニットを含む半導体装置との互換性を確保することができる。したがって、従来の半導体装置の設計、設備等を利用することができ、開発時間の短縮化、開発コストの低減等を達成することができる。

【0076】上記半導体装置においては、上記外部接続

端子を、上記絶縁性基板に形成されたスルーホールを通して、上記第1の半導体ユニットが配置された側の一方の面とは反対側の他方の面から突出するように形成し、あるいは、上記スルーホールから偏倚した位置にて反対側の他方の面から突出するように形成した場合において、上記第1の半導体ユニットにより画定される範囲と同等の範囲内において、この半導体装置を実装基板等に表面実装することができ、これにより、マルチチップモジュール化を行なった半導体装置の幅狭化を達成することができる。

【0077】上記半導体装置においては、上記第1の半導体ユニットと上記第2の半導体ユニットとの間に、両者を固定する固定手段が配置された場合において、この固定手段が両者間の相対的な移動を防止あるいは抑制することができ、これにより、装置全体としての剛性を向上させることができる。

【0078】上記半導体装置においては、上記第1の半導体モジュールと第2の半導体モジュールとを電気的に接続する導電路を、上記絶縁性基板の一方の面上に形成された導体パターンで形成した場合において、従来の製造方法を用いて、比較的容易にこの導電路を形成することができ、さらに、前述発明に係る半導体装置のように、フレキシブル基板の他方の面上に別の第2の導体パターンあるいは第2の半導体ユニットの領域に位置するスルーホールを形成する必要がなく、製造工程の簡略化を達成することができる。

【0079】上記半導体装置においては、前述発明に係る半導体装置と同様に、上記第2の半導体ユニットとして、バウンダリスキャン機能を有した集積回路チップを採用した場合において、バウンダリスキャン機能を持たない第1の半導体ユニットに対しても、表面実装状態においての動作試験を行うことができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の第1の実施形態を示すものであり、(a)はその外観斜視図、(b)はその縦断面図である。

【図2】本発明に係る半導体装置の第1の実施形態を示すものであり、その一部を構成する第1の半導体ユニットとして他のタイプのものを採用した実施形態を示す縦断面図である。

【図3】図1に示す半導体装置の製造方法を示すもので

あり、(a)～(f)はその製造方法の各段階における工程図である。

【図4】半導体装置の一部を構成する外部接続端子の部分を示すものであり、(a)は図1に示す半導体装置の拡大縦断面図、(b)及び(c)は他の接続形態を示す拡大縦断面図である。

【図5】半導体装置の一部を構成する外部接続端子の部分を示すものであり、(a)～(c)はさらに他の接続形態を示す拡大縦断面図である。

【図6】本発明に係る半導体装置の第2の実施形態を示す縦断面図である。

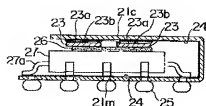
【図7】本発明に係る半導体装置の第2の実施形態を示すものであり、その一部を構成する第1の半導体ユニットとして他のタイプのものを採用した実施形態を示す縦断面図である。

【図8】図6に示す半導体装置の製造方法を示すものであり、(a)～(f)はその製造方法の各段階における工程図である。

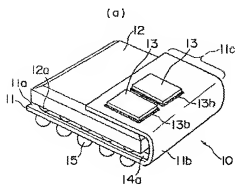
【符号の説明】

10・・・半導体装置、11・・・フレキシブル基板（絶縁性基板）、11a・・・一方の面、11b・・・他方の面、11m、11n・・・スルーホール、12・・・集積回路パッケージ（第1の半導体ユニット）、12a・・・半田ボール（端子）、13・・・集積回路チップ（第2の半導体ユニット）、13a・・・バンプ、13b・・・封止樹脂、14a・・・第1の導体パターン、14b・・・第2の導体パターン、15・・・半田ボール（外部接続端子）、16・・・熱硬化性接着剤（固定手段）、17・・・集積回路パッケージ（第1の半導体ユニット）、17a・・・リードフレーム、20・・・半導体装置、21・・・フレキシブル基板、21a・・・一方の面、21b・・・他方の面、21m・・・スルーホール、22・・・集積回路パッケージ（第1の半導体ユニット）、22a・・・半田ボール（端子）、23・・・集積回路チップ（第2の半導体ユニット）、23a・・・バンプ、23b・・・封止樹脂、24・・・導体パターン、25・・・半田ボール（外部接続端子）、26・・・熱硬化性接着剤（固定手段）、27・・・集積回路パッケージ（第1の半導体ユニット）、27a・・・リードフレーム。

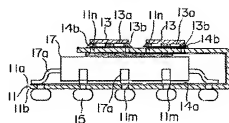
【図7】



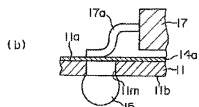
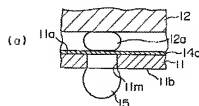
【図1】



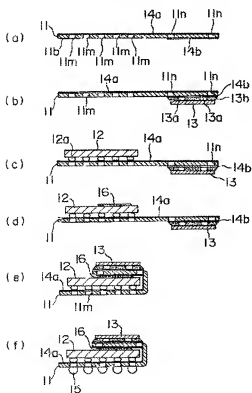
【図2】



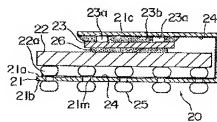
【図4】



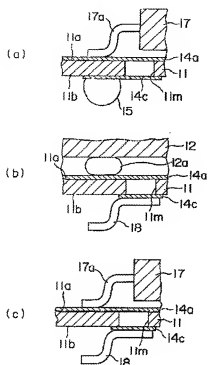
【図3】



【図6】



【図5】



【図6】

